

Desenvolvimento e Implementação em Hardware com Componentes Discretos de um Processo de Saída de Controlador Fuzzy tipo-2 Intervalar

Rodrigo B. Santos¹, Gabriel A. F. Souza¹, Paloma M. S. Rocha-Rizol², Lester A. Faria¹

¹Instituto Tecnológico de Aeronáutica, São José dos Campos/SP,

²Universidade Estadual Paulista, Guaratinguetá/SP

Resumo — O processo de “redução de tipo” e “defuzzificação” compõem o processo de saída de um controlador *fuzzy* tipo-2 intervalar. Devido à grande carga computacional necessária para esse processo de redução de tipo, muitas alternativas têm sido buscadas a fim de reduzir o tempo de processamento. O método de defuzzificação direta Nie-Tan é apresentado na literatura como tendo o melhor custo benefício, pois alia simplicidade e elevada precisão. Este artigo apresenta a implementação, em hardware analógico com componentes discretos e em tecnologia CMOS, de um processo de saída de um controlador Fuzzy tipo-2 intervalar baseado no método de defuzzificação direta Nie-Tan, aplicando técnicas de baixa tensão de alimentação. Os blocos que compõem o módulo de saída foram implementados com transistores disponíveis no CI CD4007UBE, permitindo validar a arquitetura proposta, a qual se mostra inédita na literatura. Tal implementação com transistores discretos deriva do fato de possibilitar a verificação do comportamento da mesma, antes de se prototipar em um circuito integrado, ação esta mais demorada e, sem dúvidas, que compromete maiores recursos financeiros. Ainda, a implementação discreta da topologia permite ratificar a sua simplicidade e funcionalidade mesmo em se tratando de componentes com altas margens de variação, como os componentes discretos utilizados nessa montagem.

Palavras-Chave — Lógica Fuzzy Tipo-2; Tipo-reductor; CMOS

I. INTRODUÇÃO

O controlador *fuzzy* tipo-2 intervalar é capaz de trabalhar com incertezas típicas de problemas complexos existentes na natureza, fato este impossível para controladores *fuzzy* tipo-1. Tais incertezas são descritas e modeladas por uma mancha de incerteza (*footprint of uncertainty* - FOU) [1]. Um exemplo típico de aplicação desses controladores *fuzzy* tipo-2, especificamente na área militar, é apresentado em [2], onde o controlador *fuzzy* é usado para identificar radares amigos e/ou inimigos. Nesse caso específico [2], o principal problema está nas incertezas envolvidas para uma correta identificação dos sinais, fato este de fácil solução por meio deste tipo de controlador. Conjuntos *fuzzy* tipo-2 intervalares de demandarem menor carga computacional quando

Rodrigo B. Santos, rodrigobhispo@gmail.com, Gabriel A. F. Souza, fanelli@ita.br, Paloma M. S. Rocha-Rizol, paloma@feg.unesp.br, Lester A. Faria, lester@ita.br

com os conjuntos não intervalares.

Na Fig.1, $\underline{\mu}_A$ e $\overline{\mu}_A$ representam as funções de pertinência inferior e superior, respectivamente.

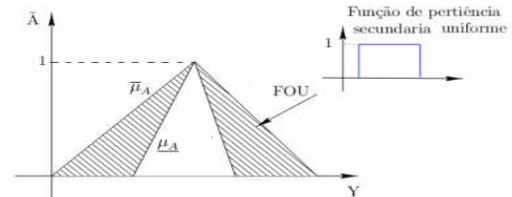


Fig. 1. Função de pertinência tipo-2 intervalar

Um diagrama de blocos típico de um controlador *fuzzy* pode ser verificado na Fig.2, sendo composto essencialmente por 5 blocos: fuzzificador, inferência, base de regras, e o módulo de saída, o qual é composto pelos blocos tipo-reductor e defuzzificador. O fuzzificador converte a entrada real (*crisp*) em valores pertencentes ao conjunto *fuzzy* tipo-2. O bloco de inferência processa as informações das entradas do controlador e fornece, em sua saída, um conjunto *fuzzy* tipo-2, resultante da aplicação da base de regras estabelecidas para o processo. O módulo de saída, composto por duas etapas, é responsável por fornecer, na saída do controlador, os valores *crisp*. Neste, o bloco tipo reductor realiza a redução de tipo, sendo o conjunto *fuzzy* tipo-2 transformado em um conjunto *fuzzy* tipo-1 equivalente. A partir daí, o bloco defuzzificador é responsável por transformar o conjunto *fuzzy* em valores reais ou *crisp*.

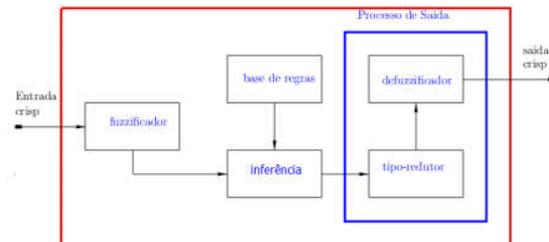


Fig. 2. Diagrama de blocos do Controlador Fuzzy tipo-2

Neste contexto, o presente trabalho apresenta a implementação, em *hardware* analógico com componentes

discretos, dos blocos que compõem o método de saída Nie-Tan (NT) [3] do controlador *fuzzy* tipo-2. A opção por implementar o circuito com transistores discretos deriva do fato de possibilitar a verificação do comportamento do mesmo, antes de prototipá-lo como circuito integrado, ação esta mais demorada e, sem dúvidas, que compromete maiores recursos financeiros. Ainda, a implementação discreta da topologia permite ratificar a sua simplicidade e funcionalidade mesmo em se tratando de componentes com altas margens de variação, como os componentes discretos utilizados nessa montagem.

Muitos métodos que implementam o processo de saída para controladores *fuzzy* tipo-2 têm sido propostos na possuem função de pertinência secundária uniforme, conforme apresentado na Fig.1, sendo preferíveis pelo fato literatura [4]. Em particular, uma implementação em *hardware* analógico, descrita em [5], foi realizada com sucesso para o método de saída Wu Mendel (WM). Porem, este apresenta complexidade muito superior ao método NT aqui proposto, acarretando maior consumo de potência, maior área utilizada e desempenho mais baixo, uma vez que possui um número de componentes e blocos mais elevado para a realização das operações necessárias.

Assim sendo, o presente trabalho se mostra coerente e inovador, uma vez que não foi encontrado na literatura uma implementação do método Nie-Tan em *hardware* analógico, o que possibilita, devido às particularidades do processo proposto em [3], obter um *hardware* mais compacto, com baixo consumo de potencia e melhor desempenho.

Este artigo apresenta as seguintes seções: a seção II apresenta o módulo de saída NT, enquanto a seção III apresenta o diagrama de blocos e os circuitos propostos para a implementação do método. A seção IV apresenta e compara os resultados dos testes realizados em laboratório com aqueles obtidos em simulações e, finalmente, a seção V discorre sobre as conclusões e considerações finais a despeito do trabalho.

II. METODO DE DEFUZIFICAÇÃO NIE-TAN

Considere na Fig.3 um conjunto de funções de pertinências de saída de um controlador *fuzzy* tipo-2 intervalar onde os graus de ativação \underline{f} e \overline{f} são obtidos pelo processamento dos dados das entradas, realizados pelo bloco de inferência. Para o método NT [3], a operação de redução de tipo é obtida pelo cálculo da média entre as funções de pertinência superiores e inferiores, conforme (1), permitindo-se obter, para a o conjunto de funções da Fig.3, a função de pertinência tipo-1 apresentada na Fig.4.

$$c_i = \frac{1}{2}[(\underline{f}^i + \overline{f}^i)] \quad (1)$$

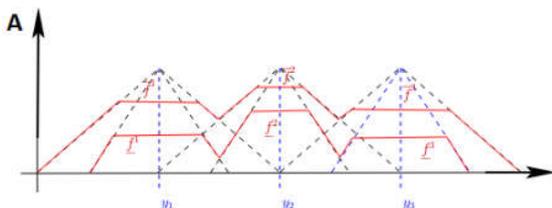


Fig. 3. Funções de pertinência de saída

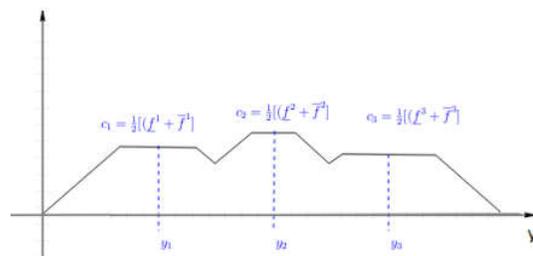


Fig. 4. Função de pertinência tipo-1

Aplicando-se o método de defuzificação da altura [6] à função de pertinência tipo-1 da Fig.4, obtém-se:

$$Y_{NT} = \frac{y_1 [(\overline{f}_1 + \underline{f}_1) + 2(\overline{f}_2 + \underline{f}_2) + 3(\overline{f}_3 + \underline{f}_3)]}{(\overline{f}_1 + \underline{f}_1) + (\overline{f}_2 + \underline{f}_2) + (\overline{f}_3 + \underline{f}_3)} \quad (2)$$

onde considera-se que as funções de pertinências sejam equidistantes entre si [6], ou seja, $y_2=2y_1$ e $y_3=3y_1$. A generalização de (3) para um número N de funções de pertinência, localizadas em qualquer posição y_i do universo de discurso Y , é o método de defuzificação proposto por Nie-Tan [3].

$$Y_{NT} = \frac{\sum_i^N y_i c_i}{\sum_i^N c_i} = \frac{\sum_i^N y_i (\underline{f}_i + \overline{f}_i)}{\sum_i^N (\underline{f}_i + \overline{f}_i)} \quad (3)$$

onde \underline{f} e \overline{f} representam os respectivos limites, superiores e inferiores da FOU. Nota-se, em (2), que o valor *crisp* é obtido diretamente dos valores dos graus de ativação das respectivas funções de pertinências tipo-2, sendo que o processo de tipo-redução fica implícito na aplicação do método. Métodos que apresentam essas características são frequentemente chamados de métodos de defuzificação direta [7].

III. IMPLEMENTAÇÃO MÉTODO NT

A implementação do processo de saída Nie-Tan do controlador *fuzzy* tipo-2 para três funções de pertinência de saída é obtido por um circuito capaz de realizar a operação apresentada em (2). A Fig.5 apresenta o diagrama de blocos do circuito sugerido a partir da proposta de Nie-Tan [3], supondo que as funções de pertinência sejam equidistantes entre si [6]. É importante se ressaltar que, apesar de a ideia do processo de saída Nie-Tan ser conhecido e ter sido previamente proposto [3], o diagrama de blocos para a sua implementação por meio de um circuito analógico é uma proposta desta pesquisa, bem como os demais circuitos que serão explicados a seguir, de forma a implementar cada um dos blocos em pauta.

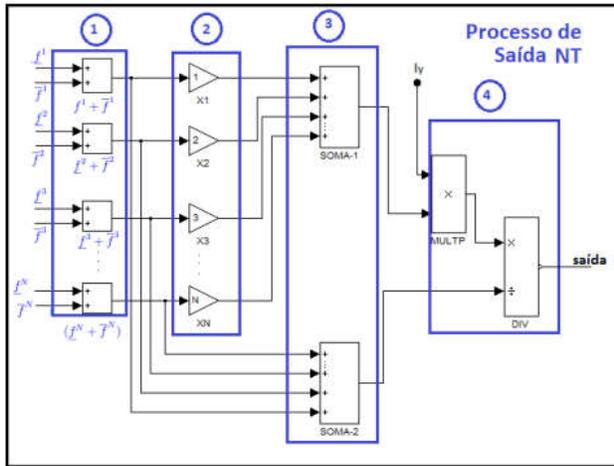


Fig. 5. Esquemático da implementação do processo de saída Nie-Tan.

As entradas representadas por f^i e \bar{f}^i são valores de corrente que representam, respectivamente, as funções de pertinência inferiores e superiores fornecidas pelo circuito de inferência da Fig.2, ou seja, que consideramos aqui neste trabalho como *inputs* para o circuito em pauta, uma vez que estamos focando no processo de saída do controlador. A saída do circuito como um todo é o valor *crisp* obtido em função das entradas, de acordo com (3). Os componentes destacados de 1 a 4 que compõem o esquemático da Fig.5 são descritos a seguir:

A- Circuito de soma (Bloco 1, da Fig.5):

A Fig.6 apresenta a operação de soma em modo corrente. A vantagem de trabalhar com circuitos deste tipo está na possibilidade de obter a operação de soma pela aplicação da Lei de Kirchoff das correntes [6], o que torna o circuito bastante mais simples.

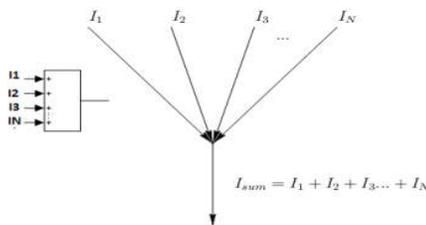


Fig. 6. Operação de soma no modo corrente

B- Circuito escalonador (Bloco 2, da Fig.5):

Neste trabalho, como o foco se remete à implementação discreta do circuito proposto, não é possível trabalhar com as razões (W/L) dos transistores comerciais adquiridos, de forma a obter os ganhos necessários descrito na Fig.5. Assim, a alternativa adotada foi duplicar o número de transistores, colocando-os em paralelo e, desta forma duplicando o W , ou em série, duplicando o L , de acordo com o solicitado e apresentado na Fig. 7.

Para tanto, considere inicialmente o circuito da Fig.7a. A configuração adotada é um espelho de corrente *cascode* capaz de trabalhar com baixa tensão de alimentação [8]. O transistores M_1 e M_2 operam na região de saturação. A

corrente I_{ref} induzida em M_1 gera uma tensão V_{GS} dada por (4):

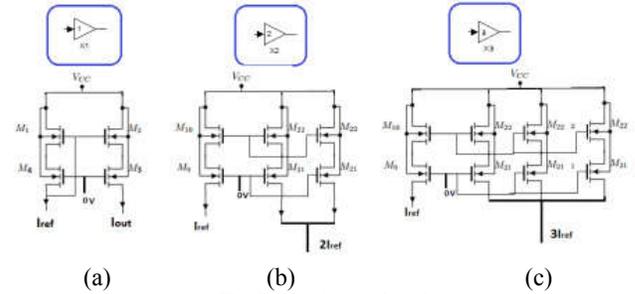


Fig. 7. Circuito escalonador

$$V_{GS1} = \sqrt{\frac{2I_D}{\beta}} + V_T \quad (4)$$

onde $\beta = \frac{\mu_n C_{ox} W}{L}$. Como a porta de M_1 está ligada à porta de M_2 , esta passa a conduzir uma corrente I_{DS} :

$$I_{DS} = \frac{\beta}{2}(V_{GS} - V_T) \quad (5)$$

Substituindo (4) em (5) obtém-se:

$$I_{DS2} = \frac{\beta_2}{2} \left(\sqrt{\frac{2I_{DS1}}{\beta_1}} + V_{T1} - V_{T2} \right)^2, \quad V_{T1} = V_{T2} \quad (6)$$

De (6) obtém-se a razão de espelhamento dada por:

$$I_{DS2} = \frac{\beta_1}{\beta_2} I_{DS1} \quad (7)$$

Os transistores M_4 tem o objetivo de atenuar as variações de tensão V_{DS} sobre M_3 para que a impedância de saída do transistor não influencie no espelhamento da corrente. Para manter o circuito balanceado, portanto, é necessária a inserção de M_1 [9]. Com base nas deduções anteriores podem-se obter as relações de correntes I_{ref} e I_{out} . Uma vez que os valores de β de todos os transistores podem ser considerados iguais (por serem todos componentes discretos e comerciais de um mesmo lote), obtém-se:

Fig.7a:

$$I_{out} = \frac{\beta_1}{\beta_2} I_{ref} = I_{ref} \quad (8)$$

Fig.7b:

$$I_{out} = \frac{\beta_1}{\beta_2} I_{ref} + \frac{\beta_1}{\beta_{2A}} I_{ref} = 2I_{ref} \quad (9)$$

Fig.7c:

$$I_{out} = \frac{\beta_1}{\beta_2} I_{ref} + \frac{\beta_1}{\beta_{2A}} I_{ref} + \frac{\beta_1}{\beta_{2B}} I_{ref} = 3I_{ref} \quad (10)$$

C-Circuito Multiplicador/Divisor (Bloco 4, da Fig.5)

O circuito multiplicado/divisor é obtido pela combinação dos circuitos de “média geométrica” e “quadrático divisor” [10]. O circuito de média geométrica é composto de duas entradas, I_x e I_y , e de uma saída I_{mg} . A relação entre as entradas e saídas e dada por:

$$I_{mg} = k\sqrt{I_x I_y} \quad (11)$$

Assim como o circuito de média geométrica, o circuito quadrático/divisor possui duas entradas e uma saída, que estão relacionadas por (12).

$$I_{out} = \frac{I_{mg}^2}{kI_w} \quad (12)$$

A operação de multiplicação e divisão é obtida quando esses dois circuito são combinados de acordo com a Fig.8.

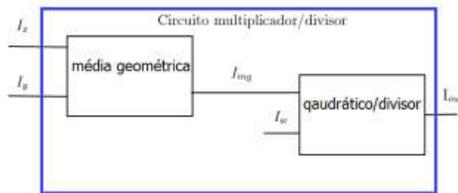


Fig. 8. Esquemático do circuito multiplicador/divisor

De acordo com (11) e (12) tem-se:

$$I_{out} = \frac{I_x I_y}{I_w} \quad (13)$$

A Fig.9 apresenta o circuito de média geométrica proposto em [10].

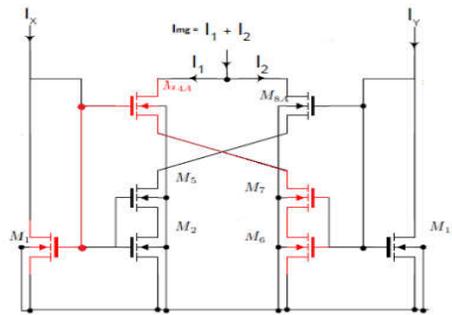


Fig. 9. Esquemático do circuito média geométrica

As equações que descrevem a operação do transistor nas regiões de saturação e triodo são dadas, respectivamente, por (14) e (15).

$$I_D = \frac{\beta}{2}(V_{GS} - V_{TH})^2 \quad (14)$$

$$I_D = \beta \left[(V_{GS} - V_{TH})V_{DS} - \frac{V_{DS}^2}{2} \right] \quad (15)$$

Considere a Fig.9, supondo que o valor de β_4 dos transistores M_{4A} e M_{8A} sejam muito maiores que os valores de β dos transistores M_1 e M_{11} .

Os transistores M_2 e M_5 devem ser analisados como se fossem um único transistor de valor $(W/2L)$. A associação série foi realizada a fim de diminuir os valores das correntes I_1 e I_2 e, desta forma, aumentar a faixa de operação das correntes de entradas I_x e I_y [10]. Sendo assim, a associação de M_2 e M_5 será referida, neste artigo, como M_{25} nas deduções subsequentes. A operação do circuito baseia-se na alternância das regiões de operação do transistores M_{25} e M_{67} , isto é, quando o valor da corrente I_x é maior que o valor da corrente I_y , M_{25} opera na região de triodo enquanto M_{67} opera na região de saturação. Quando I_x é menor, o oposto ocorre. Supõe-se, inicialmente, que M_{25} opera na região de saturação. Neste caso:

$$V_{DS_{2-5}} > V_{GS_{2-5}} - V_{TH} \quad (16)$$

Aplicando a LKT aos transistores M_{25} , M_{8A} e M_{11} , obtém-se:

$$V_{DS_{2-5}} = \sqrt{\frac{2I_y}{\beta_{11A}}} - \sqrt{\frac{2I_2}{\beta_{8A}}} \quad (17)$$

Aplicando-se (17) em (16) obtém-se então:

$$V_{GS_{2-5}} - V_{TH} < \sqrt{\frac{2I_y}{\beta_{11A}}} - \sqrt{\frac{2I_2}{\beta_{8A}}} \quad (18)$$

Além disso, o fator $(V_{GS_{25}} - V_{TH})$ pode ser escrito em termos da corrente I_x como:

$$V_{GS_{2-5}} - V_{TH} = \sqrt{\frac{2I_x}{\beta_1}} \quad (19)$$

De (18) e (19) tem-se:

$$\sqrt{\frac{2I_x}{\beta_1}} < \sqrt{\frac{2I_y}{\beta_{11A}}} - \sqrt{\frac{2I_2}{\beta_{8A}}} \quad (20)$$

Como o valor de β_{8A} é muito maior que o valor de β_{11} , chega-se à conclusão anteriormente citada, isto é, se $I_x < I_y$, o transistor M_{25} opera na região de saturação. Em contrapartida, supondo-se que I_y seja maior que I_x , M_{25} opera na região de triodo. Novamente aplicando LKT nos transistores M_{25} , M_{8A} e M_{11} obtém-se a seguinte equação:

$$I_2 = \beta \left[\sqrt{\frac{2I_x}{\beta_1}} \cdot \left(\sqrt{\frac{2I_y}{\beta_{11}}} - \sqrt{\frac{2I_2}{\beta_{8A}}} \right) \right] - \beta \left[\frac{1}{2} \left(\sqrt{\frac{2I_y}{\beta_{11}}} - \sqrt{\frac{2I_2}{\beta_{8A}}} \right)^2 \right] \quad (21)$$

Como β_{8A} é muito alto, e $\beta_1 = \beta_{11} = \beta$ e $\sqrt{\frac{2I_2}{\beta_{8A}}} \approx 0$ obtém-se:

$$I_2 = \beta \left[\sqrt{\frac{2I_x}{\beta}} \cdot \left(\sqrt{\frac{2I_y}{\beta}} - 0 \right) - \frac{1}{2} \left(\sqrt{\frac{2I_y}{\beta}} - 0 \right)^2 \right] \quad (22)$$

ou seja

$$I_2 = \sqrt{I_x I_y} - \frac{I_y}{2} \quad (23)$$

Sabe-se, porém, que $I_1 = I_y/2$, pois neste caso os transistores M_6 e M_7 operam na região de saturação, formando portanto um espelho de corrente com M_{11} . Sendo assim obtém-se finalmente:

$$I_{mg} = I_1 + I_2 = \sqrt{I_x I_y} \quad (24)$$

Procedimento análogo pode ser realizado considerando que $I_y > I_x$, levando a resultado semelhante a (24).

D - Circuito quadrático/divisor

O mesmo procedimento utilizado para o circuito de média geométrica pode ser aplicado ao circuito quadrático/divisor, como no lado direito da Fig.10. Neste caso, I_{mg} e I_w são as entradas do circuito. A equação obtida da análise é análoga à (15), com:

$$I_{mg} = \sqrt{I_w I_{out}} \quad (25)$$

Isolando-se I_{out} , tem-se:

$$I_{out} = \frac{I_{mg}^2}{I_w} = \frac{I_x I_y}{I_w} \quad (26)$$

A Equação (26) apresenta o resultado da combinação dos circuitos de média geométrica e quadrático divisor, de acordo com o esquemático da Fig.8.

E - Circuito processo de saída Nie-Tan

A Fig.10 apresenta a implementação do método NT com transistores MOS para o caso particular de 3 funções de pertinências de saída. Os valores de f^i e \bar{f}^i são valores de correntes fornecidos pela saída do circuito de inferência [6], apresentado na Fig.1. O valor I_y é o valor das distâncias entre os centros de cada função de pertinência de saída. O valor I_{out} é o valor *crisp* obtido da aplicação do método NT de defuzificação.

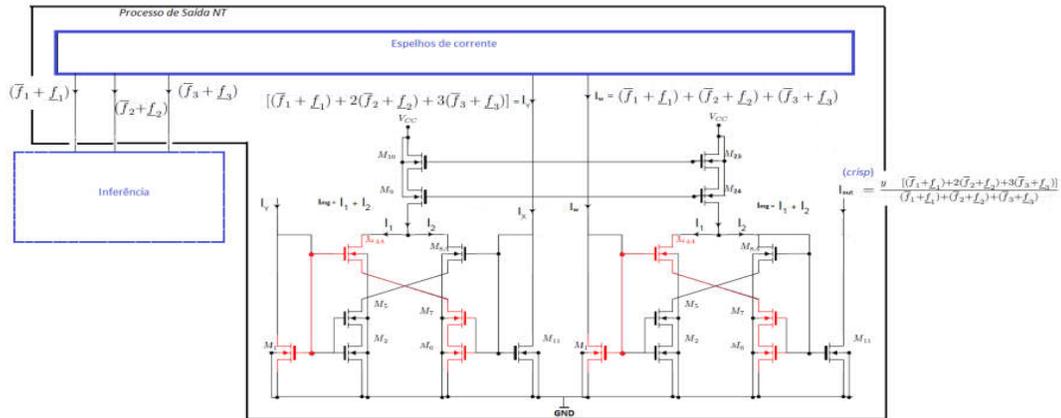


Fig. 10. Implementação usando transistores MOS

IV. SIMULAÇÃO E RESULTADOS EXPERIMENTAIS

A Fig.11 apresenta o resultado da simulação do circuito de média geométrica (Fig.9) e a Fig.12 apresenta o valor obtido experimentalmente usando transistores disponíveis no CI CD4007UBE. Conforme pode ser verificado, o valor da faixa de operação do circuito é de 0 a 24µA, obtido diretamente da simulação apresentada na Fig.11. Para o circuito experimental esta faixa fica entre 0 e 20µA, conforme explicitado na Fig.12. As diferenças existentes entre os valores simulados e os valores experimentais são devidas aos transistores reais (comerciais) apresentarem descasamentos (não serem exatamente iguais), o que não é levado em consideração nas simulações.

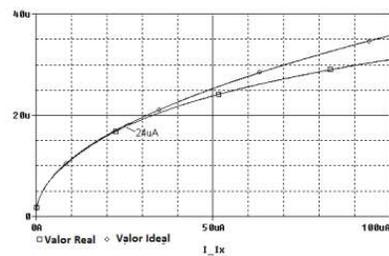


Fig. 11. Simulação do circuito de média geométrica, comparando o valor ideal e o obtido por meio do circuito simulado com o modelo disponibilizado para os transistores utilizados.

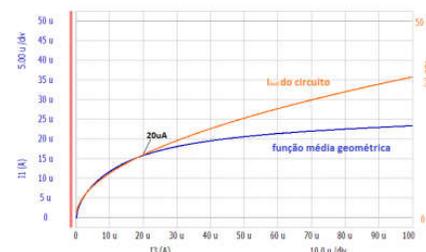


Fig. 12. Simulação do circuito de média geométrica.

A Fig.13 apresenta, nos mesmos moldes do anteriormente realizado para o circuito de média geométrica, a simulação do circuito quadrático/divisor. A Fig.14, a qual apresenta os resultados tanto ideal quanto do circuito experimental discreto implementado, mostra que a faixa de operação do circuito situa-se entre $I_w=17\mu A$ e $32\mu A$ para $I_{mg}=20\mu A$, condições estas também observadas na simulação, apresentada na Fig.13.

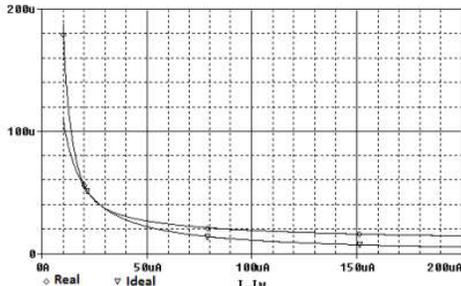


Fig. 13. Simulação do circuito quadrático/divisor, comparando o valor ideal e o obtido por meio do circuito simulado com o modelo disponibilizado para os transistores utilizados.

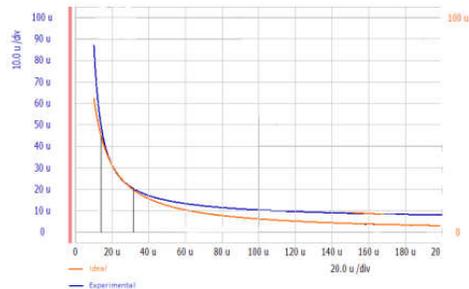


Fig. 14. Simulação do circuito quadrático/divisor

Para os circuitos escalonadores, apresentados na Fig.7a,b, obtiveram-se os resultados apresentados nas Fig.15 e 16, após serem implementados com componentes discretos. As curvas experimentais e simuladas da Fig.15 estão de acordo com (7), ou seja, a corrente de entrada I_{ref} é igual a I_{out} pois apresentam β e V_T idênticos. Para o circuito de ganho igual a 2, obtiveram-se as curvas experimentais e simuladas, Fig.16.

Nota-se na Fig.15 que o valor simulado encontra-se muito próximo do valor teórico esperado, porém o valor obtido experimentalmente apresenta um desvio um pouco maior. Isso se deve ao fato de que a simulação considera que todos os transistores estão perfeitamente casados, o que não condiz com a situação real, uma vez que transistores de chips diferentes foram usados. O circuito para obter um ganho de corrente igual a 3 foi experimentado e apresentou valores análogos ao apresentados nas Fig.15 e Fig.16.

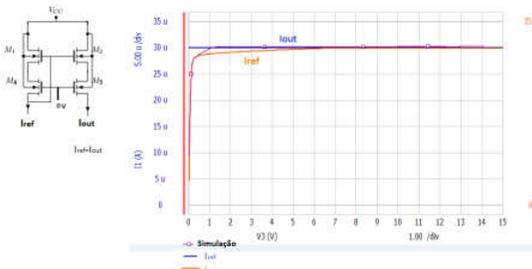


Fig. 15. Circuito de ganho unitário

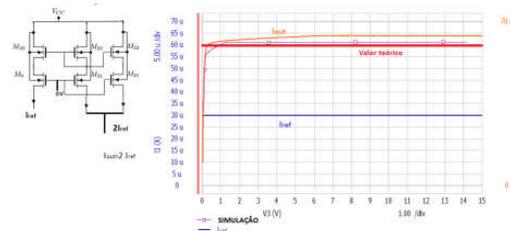


Fig. 16. Circuito de ganho 2

V. CONCLUSÃO

O trabalho de implementação em *hardware* de circuitos com elementos discretos se mostra bastante desafiador, uma vez que é impossível obter casamento perfeito entre transistores comerciais, não necessariamente de mesmo lote e sem um maior controle de qualidade. Apesar disso, foi possível implementar os blocos propostos por este pesquisador para fins de construir o circuito necessário para o funcionamento de um módulo de saída NT do controlador fuzzy tipo-2 intervalar. Tal implementação permitiu validar a arquitetura proposta, mostrando um correto funcionamento do mesmo e descartando a possibilidade de resultados ainda melhores por meio de uma implementação em circuito integrado, no qual o controle de casamentos e a qualidade dos componentes implementados favorece o desempenho do módulo de saída NT. Certamente a implementação em circuitos integrados CMOS garante ao projeto uma série de vantagens, que estão associadas à liberdade de escolhas dos valores de W e L dos transistores. Com isso pode-se estender consideravelmente a faixa de operação do circuito, além de facilitar o projeto de circuitos programáveis.

REFERENCIAS

- [1] H. Mo, Y. Wang, M. Zhou, R. Li, Z. Xiao, "Footprint of uncertainty fortytype-2 fuzzy sets" Information Sciences, v. 272, p. 96-110, 2014.
- [2] YM. Chen, CM. Lin, CS. Hsueh, "Identification of Highly JitteredRadar Emitters Signals based on Fuzzy Classification", IOSR Journal of Engineering (IOSRJEN) Vol. 3, Issue 10 (October. 2013), p.53-59.
- [3] M. Nie and W. W. Tan, "Towards an efficient type-reduction method for interval type-2 fuzzy logic systems", in Proc. IEEE Int. Conf. Fuzzy Syst. Hong Kong, China, Jun. 2008, pp. 1427-1432.
- [4] Matthew D. Schrieber, Mohammad Biglarbegian, "Hardware implementation and performance comparison of interval type-2fuzzy logic controllers for real-time applications", School of Engineering, College of Physical and Engineering Science, University of Guelph, Guelph, ON N1G 2W1, Canada, p.175-188.2015.
- [5] PMS.Rocha, L.Mesquita, O.Saotome, "Architecture proposal of analog interval type-2 fuzzy logic inference systems". Revista Ciências Exatas. p.25-8, 2012
- [6] PMS. Rocha, L. Mesquita, GB. Junior, "Design of an analog defuzzifier in CMOS technology", Revista Ciencias Exatas, v. 12, n. 1, 2008.
- [7] J. Mendel, "Simplified Interval Type-2 Fuzzy Logic Systems", IEEE transactions on fuzzy systems, vol.21, No. 6, december 2013.
- [8] R. Harijan, P. Devi, P. Kumar, "Design of A Low Voltage Low Power CMOS Current Mirror with Enhanced Dynamic Range", International Journal of Engineering and Advanced Technology (IJEAT) Volume-2, Issue-3, February 2013
- [9] B. Razavi, "Design of analog CMOS integrated circuits", University of California, Los Angeles, 2001, p.135-145.
- [10] R.Santos, PMS. Rocha, L. Mesquita, "Design of CMOS current-modemultiplier-divider circuit for type-2 FLC applications", Circuits and Systems (LASCAS), 2015 IEEE 6th Latin American Symposium on.IEEE, 2015. p. 1-4.